

EV 376 524 765 US

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 08 日
Application Date

申請案號：092121763
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 15 日
Issue Date

發文字號：09220929480
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	多位元垂直記憶單元及其製造方法
	英文	MULTI-BIT VERTICAL MEMORY CELL AND METHOD OF FABRICATING THE SAME
二、 發明人 (共3人)	姓名 (中文)	1. 蕭清南 2. 賴朝松 3. 黃永孟
	姓名 (英文)	1. Ching-Nan Hsiao 2. Chao-Sung Lai 3. Yung-Meng Huang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 高雄縣燕巢鄉橫山村橫山路52號 2. 宜蘭縣宜蘭市泰山路211巷37號 3. 桃園縣龜山鄉文化五路209號3樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



四、中文發明摘要 (發明名稱：多位元垂直記憶單元及其製造方法)

本發明提供一種多位元垂直記憶單元及其製造方法，此多位元垂直記憶單元包括一半導體基底，半導體基底具有至少一溝槽；複數位元線，分別形成於鄰近半導體基底表面之半導體基底及溝槽底部中；複數位元線絕緣層，設置於每一位元線上方；一富含矽氧化層，用以局部儲存電荷，順應性地設置於溝槽側壁及位元線絕緣層表面；及一字元線，設置於富含矽氧化層上方並填入溝槽。

伍、(一)、本案代表圖為：第2f圖。

(二)、本案代表圖之元件代表符號簡單說明：

B_1 ~ 第一位元；

B_2 ~ 第二位元；

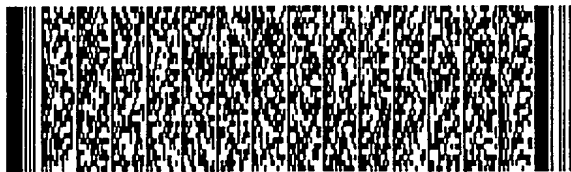
200 ~ 半導體基底；

202 ~ 墊氧化矽層；

204、211 ~ 氮化矽層；

六、英文發明摘要 (發明名稱：MULTI-BIT VERTICAL MEMORY CELL AND METHOD OF FABRICATING THE SAME)

A multi-bit vertical memory cell and method of fabricating the same. The multi-bit vertical memory cell comprises a semiconductor substrate with a trench, a plurality of bit lines formed therein near its surface and the bottom trench respectively, a plurality of bit line insulating layers over each bit line, a silicon rich oxide layer conformably formed on the sidewall of the

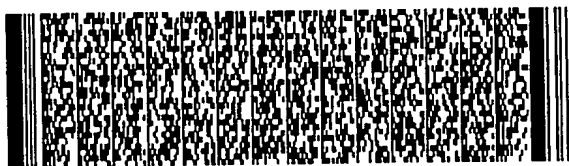


四、中文發明摘要 (發明名稱：多位元垂直記憶單元及其製造方法)

205~ 罩幕層；
206~ 光阻層；
207~ 開口；
208~ 溝槽；
210~ 氧化矽層；
212~ 間隙壁；
214~ 位元線；
216~ 位元線絕緣層；
218~ 閘極介電層；
220~ 富含矽氧化層；
222~ 閘極介電層；
223~ 堆疊層；
224~ 導電層；
226~ 氧化層；
228~ 硼磷矽玻璃層；

六、英文發明摘要 (發明名稱：MULTI-BIT VERTICAL MEMORY CELL AND METHOD OF FABRICATING THE SAME)

trench and the surface of the surface of the bit line insulating layer, and a word line over the silicon rich oxide layer, and the trench is filled with the word line.



四、中文發明摘要 (發明名稱：多位元垂直記憶單元及其製造方法)

230~矽酸四乙酯氧化層；

232~字元線接觸；

234、236~位元線接觸。

六、英文發明摘要 (發明名稱：MULTI-BIT VERTICAL MEMORY CELL AND METHOD OF FABRICATING THE SAME)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種垂直式記憶單元，特別係有關於一種可儲存至少二位元以上之多位元垂直記憶單元以及其製造方法。

【先前技術】

在半導體記憶體元件中，當電源關閉後仍保存資料者，稱之為"非揮發性記憶體(nonvolatile memory, NVM)"，例如電子式可抹除程式化唯讀記憶體(EEPROM)等。其中，習知之快閃記憶體在進行程式化步驟時，熱載子(hot electrons)會注入浮動閘極並均勻分佈於整個浮動閘極中。然而，在重複寫入、讀出及抹除步驟後，位於浮動閘極下方之通道氧化層(tunnel oxide layer)會因為熱載子多次的穿透次數而損壞，使浮動閘極所儲存之載子容易遺漏(leak out)，而導致記憶裝置之可靠度下降。

為了防止EEPROM之漏電流及其他的問題，一種氮化物唯讀記憶體(nitride ROM, NROM)的結構被提出。當NROM之控制閘極及源汲極區分別被施以偏壓以進行程式化時，熱載子會在接近汲極區側之通道產生，並注入電荷陷阱層(charge trapping layer)也就是氮化層中，這些注入的載子將會局部性地儲存於此電荷陷阱層中，而不會均勻地分佈。因為這些局部性儲存的區域相當小，所以通道氧化層會損壞的區域也受到限制，並使記憶裝置之漏電流降低。



五、發明說明 (2)

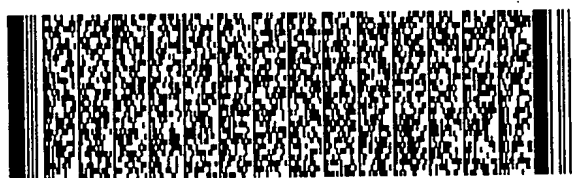
請參考第1圖，第1圖係顯示習知之形成氮化物唯讀記憶單元之切面示意圖。

此記憶單元包含一矽半導體基底100，其具有可作為源汲極區之兩分離的位元線102，兩位元線絕緣層104係各設置於兩位元線102之上方，且一ONO層112係設置於兩位元線102之間的半導體基底100上方。此ONO層112係由一底層氧化矽層106、一氮化矽層108、及一上層氧化矽層110依序堆疊而成。一閘極導電層(字元線)114係設置於位元線絕緣層104及ONO層112上方。

在ONO層112中的氮化矽層112具有兩電荷儲存區107、109，用以在記憶單元程式化期間來儲存電荷，其鄰近於位元線102。當程式化左邊的位元即電荷儲存區107時，左邊的位元線102係作為汲極並接收一高程式化電壓，同時，右邊的位元線102係作為源極並接地。

同理，當程式化右邊的位元即電荷儲存區109時，右邊的位元線102係作為汲極並接收一高程式化電壓，同時，左邊的位元線102係作為源極並接地。再者，當讀取左邊的位元(電荷儲存區107)時，左邊的位元線102作為源極且右邊的位元線102係作為汲極。同理，當讀取右邊的位元(電荷儲存區109)時，右邊的位元線102作為源極且左邊的位元線102係作為汲極。另外，進行抹除時，其源汲極的相對位置與進行程式化時相同。

為了增加記憶單元密度以提升積體電路之積集度，主要是藉由縮小位元線之面積或ONO層之寬度以降低兩字元



五、發明說明 (3)

線之間距的方法。然而，在縮小位元線之面積時，位元線之電阻值會被提高而造成記憶裝置的操作速度降低；另一方面，若縮小ONO層之寬度，則容易在程式化、抹除或讀取期間發生記憶單元中兩電荷儲存區相互干擾(cell disturbance)的情形。特別是當ONO層之寬度小於10奈米(nm)時。因此，記憶單元密度會因上述原因而受限，而無法增加積體電路之積集度。

【發明內容】

有鑑於此，本發明之目的在於提供一種形成垂直式之記憶單元的方法，並且此垂直式記憶單元可儲存至少二位元之資料。

根據上述目的，本發明提供一種多位元垂直記憶單元之製造方法，包括下列步驟：提供一半導體基底，半導體基底具有至少一溝槽；於鄰近半導體基底表面及溝槽底部之半導體基底中各形成一摻雜區以作為位元線；於每一摻雜區上方各形成一位元線絕緣層；於溝槽的側壁及位元線絕緣層表面順應性形成一富含矽絕緣層以局部儲存電荷；及於絕緣層上方形成一導電層並填入溝槽。

本發明之另一目的在於提供一種可儲存多位元資料之垂直式記憶單元。

根據上述目的，本發明提供一種多位元垂直記憶單元，包括：一半導體基底，半導體基底具有至少一溝槽；複數位元線，分別形成於鄰近半導體基底表面之半導體基底



五、發明說明 (4)

及溝槽底部中；複數位元線絕緣層，設置於每一位元線上方；一富含矽氧化層，用以局部儲存電荷，順應性地設置於溝槽側壁及位元線絕緣層表面；及一字元線，設置於富含矽氧化層上方並填入溝槽。

為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第2a到2g圖，第2a到2g圖係顯示本發明之形成多位元垂直記憶單元之切面示意圖。

同時請參考第3圖，第3圖係一記憶陣列之俯視圖，第2a到2g圖係顯示第3圖之AA'切面與BB'切面圖。

首先，請參考第2a圖，提供一半導體基底200，例如一矽晶圓。在半導體基底200表面上形成一罩幕層205，其可為單層結構或數層的堆疊結構。如圖中所示，罩幕層205較佳是由一層墊氧化矽層202與一層較厚的氮化矽層204所組成。其中，墊氧化矽層202可由熱氧化法或是以習知的常壓(atmospheric)或低壓化學氣相沉積法(low pressure chemical vapor deposition, LPCVD)沉積而成。在墊氧化矽層202之上的氮化矽層204可利用低壓化學氣相沉積法，以二氯矽烷(SiCl_2H_2)與氨氣(NH_3)為反應原料沉積而成。接著，在罩幕層205表面上形成一層光阻層206。之後，藉由習知微影製程於光阻層206中形成複數開



五、發明說明 (5)

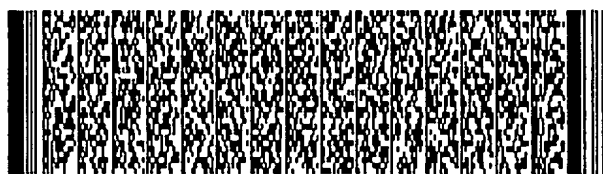
口207。

接下來，請參考第2b圖，藉由具有開口207之光阻層206作為蝕刻罩幕，對罩幕層205進行非等向性蝕刻製程，例如反應離子蝕刻(reactive ion etching, RIE)或電漿蝕刻(plasma etching)，以將光阻層206的開口207圖案轉移至罩幕層205中。

接著，以適當蝕刻溶液或灰化處理來去除光阻層206之後，藉由罩幕層205作為蝕刻罩幕，進行非等向性蝕刻製程，例如反應離子蝕刻或電漿蝕刻，以將罩幕層205之開口下方之半導體基底200蝕刻至一預定深度而形成深度約為1400~1600 Å之複數溝槽208。

接下來，請參考第2c圖，將罩幕層205剝除。其中，剝除氮化矽層204的方法為濕式蝕刻法，例如是以熱磷酸(H_3PO_4)為蝕刻液來浸泡而將其去除，剝除墊氧化矽層202的方法為濕式蝕刻法，其例如是以氫氟酸(HF)為蝕刻液來浸泡。之後，藉由CVD法在半導體基底200上方及溝槽208表面順應性形成一氧化矽層210，其厚度約100 Å左右。接著，在氧化矽層210上方順應性沉積一氮化矽層211。同樣地，氮化矽層211可利用低壓化學氣相沉積法，以二氯矽烷(SiCl_2H_2)與氨氣(NH_3)為反應原料沉積而成。

接下來，請參考第2d圖，非等向性蝕刻氮化矽層211，例如反應性離子蝕刻或電漿蝕刻，以在每一溝槽208的側壁上形成一間隙壁212。之後，利用間隙壁212作為罩幕而在溝槽208的底部及半導體基底200表面實施一離子植



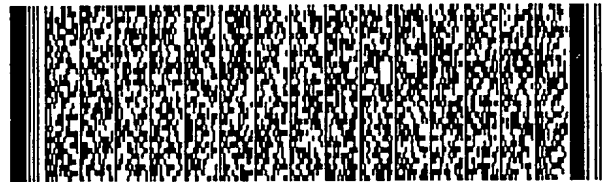
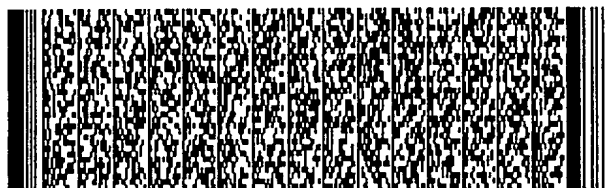
五、發明說明 (6)

入，例如使用磷離子，藉以在溝槽208底部及鄰近半導體基底200表面處之半導體基底200中各形成摻雜區214，以作為位元線。

接著，請參考第2e圖，藉由熱氧化法或其他沉積技術在每一摻雜區214上方形成位元線絕緣層216，例如氧化矽層。位元線絕緣層216通常非常厚，用以降低位元線與字元線間所形成的電容值。在本實施例中，位元線絕緣層216的厚度約在300至2000 Å的範圍。之後，藉由濕蝕刻依序去除間隙壁212及氧化矽層210。

接下來，進行本發明之一特徵步驟。

請參考第2f圖，在溝槽208側壁及位元線絕緣層216表面依序順應性形成一閘極介電層218、一富含矽氧化層(silicon rich oxide)220、及一閘極介電層222，三者並共同形成一堆疊層223。富含矽氧化層220作為局部儲存電荷之用，其功能與習知之浮動閘極相似，厚度約為50至110 Å左右，可由化學氣相沉積(chemical vapor deposition)法形成。閘極介電層218、222之厚度分別約為50 Å左右，可藉由熱氧化(thermal oxidation)法形成。如先前所述，此富含矽氧化層220係在記憶單元進行程式化期間作為儲存電荷之用，因此電荷儲存區將會位於溝槽208側壁上的富含矽氧化層220中，並且會鄰近於溝槽208上方或底部之摻雜區214。而不同於習知技術之處在於本發明係以溝槽208側壁之半導體基底200作為記憶單元之通道。亦即，根據本發明之多位元垂直記憶單元之製造方



五、發明說明 (7)

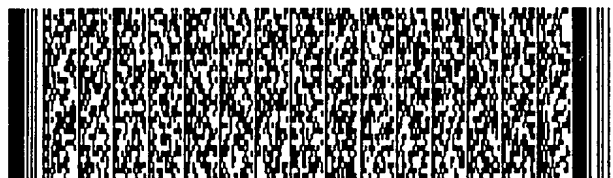
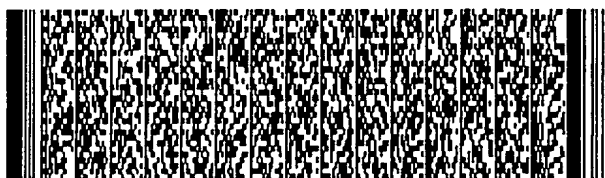
法，可形成一垂直式通道，而不同於習知技術中的水平式通道。

請參考第2f圖，於堆疊層223上方形成一導電層224，例如是多晶矽層，導電層224會填滿溝槽208。在本實施例中，導電層224的厚度約為1500到2000 Å左右，可藉由化學氣相沉積法形成。之後，可藉由化學機械研磨法(chemical mechanic polishing, CMP)對導電層224進行平坦化。

接著，在導電層224上塗覆一具有字元線圖案之光阻層(未顯示)，並藉由習知微影及蝕刻程序以定義出由導電層224所構成之字元線，如第2f(a)圖所示；而部分之導電層會被去除至露出堆疊層223，如第2f(b)圖所示。

請參考第2g圖，後續可於形成有作為字元線之導電層224及堆疊層223上形成氧化層226、硼磷矽玻璃(BPSG)層228及矽酸四乙酯(TEOS)氧化層230來作為金屬層間介電層，再依序利用圖案化之光阻層於金屬層間介電層之對應位置形成字元線接觸窗及位元線接觸窗，接著再於接觸窗中填入鎢金屬層後，即分別完成字元線接觸232及位元線接觸234、236。字元線接觸232與用以作為字元線之導電層224相連；而位元線接觸234、236則分別與摻雜區214相連，且位元線接觸234、236交錯設置以避免發生短路的情況。

請參考第4a圖及第4b圖，第4a圖及第4b圖分別繪示出根據對本發明實施例之多位元垂直記憶單元進行程式化步



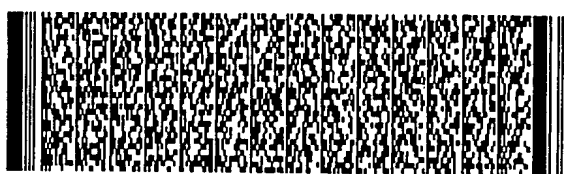
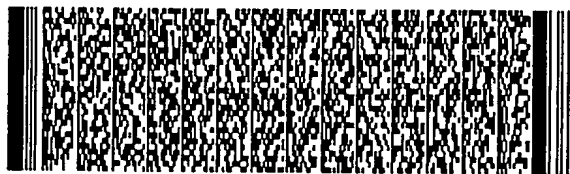
五、發明說明 (8)

驟之示意圖。

此記憶單元包含一具有複數溝槽208之半導體基底200，及形成於鄰近半導體基底200表面及溝槽208底部之半導體基底200中的複數位元線214。在本實施例中，位元線214分別形成於半導體基底200之頂部及溝槽之底部，主要係藉由磷離子植入所形成；位元線絕緣層216係設置於每一位元線214上方，其厚度約為300至2000 Å左右；一閘極介電層218、一富含矽氧化層220及一閘極介電層222共同形成之堆疊層223，順應性地設置於溝槽208側壁及位元線絕緣層216表面上，富含矽氧化層220用以作為電荷儲存區。

請參考第4a圖，當要對形成於接近溝槽頂部之第一位元 B_1 進行程式化步驟時，溝槽底部之位元線214作為源極，溝槽頂部之位元線214作為汲極，接著再施加適當的偏壓，電子即會依據箭頭行進的方向注入第一位元 B_1 ，並且因為作為電荷儲存區之富含矽氧化層220係一含有大量矽之氧化層的緣故，電子會被局部儲存於該位置而不會均勻分部於整個富含矽氧化層220當中。

請參考第4b圖，當要對形成於接近溝槽底部之第二位元 B_2 進行程式化步驟時，溝槽頂部之位元線214作為源極，溝槽底部之位元線214作為汲極，接著再施加適當的偏壓，電子即會依據箭頭行進的方向注入第二位元 B_2 ，並且因為作為電荷儲存區之富含矽氧化層220係一含有大量矽之氧化層的緣故，電子會被局部儲存於該位置而不會均勻分



五、發明說明 (9)

部於整個富含矽氧化層220當中。如此一來，即可利用本發明所提供之垂直記憶單元達到儲存多位元資料之目的。

相較於習知技術，本發明之多位元垂直記憶單元具有一垂直式通道，其可調整出適當的通道長度來防止發生記憶單元干擾，如先前所述。亦即，通道的長度係取決於溝槽之深度。只要溝槽的深度夠深，就可避免記憶單元干擾的情形。再者，由於垂直記憶單元的通道位於溝槽側壁之半導體基底中，因此整個半導體基底平面可供離子植入來形成位元線之用。亦即，可增加位元線的面積而減少其電阻，藉以增加垂直記憶單元之操作速度。同時，本發明所提供之利用富含矽氧化層來作為電荷儲存區的方法，可有效局部儲存電子不使其均勻分布，因此可進行多位元資料之儲存，有效增加記憶單元之密度。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係顯示習知之形成氮化物唯讀記憶單元之切面示意圖。

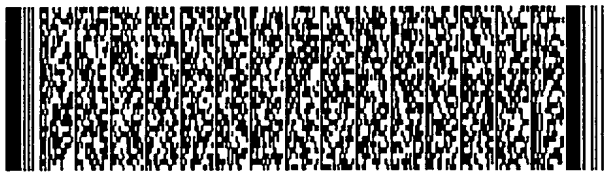
第2a到2g圖係顯示本發明之形成多位元垂直記憶單元之切面示意圖。

第3圖係一記憶陣列之俯視圖。

第4a圖及第4b圖分別繪示出根據對本發明實施例之多位元垂直記憶單元進行程式化步驟之示意圖。

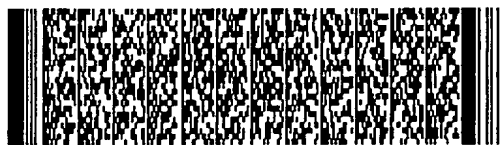
【符號說明】

- 100~半導體基底；
- 102~位元線；
- 104~位元線絕緣層；
- 106、110~氧化矽層；
- 107、109~電荷儲存區；
- 108~氮化矽層；
- 112~ONO層；
- 114~字元線；
- B₁~第一位元；
- B₂~第二位元；
- 200~半導體基底；
- 202~墊氧化矽層；
- 204、211~氮化矽層；
- 205~罩幕層；
- 206~光阻層；



圖式簡單說明

- 207~ 開口；
- 208~ 溝槽；
- 210~ 氧化矽層；
- 212~ 間隙壁；
- 214~ 位元線；
- 216~ 位元線絕緣層；
- 218~ 閘極介電層；
- 220~ 富含矽氧化層；
- 222~ 閘極介電層；
- 223~ 堆疊層；
- 224~ 導電層；
- 226~ 氧化層；
- 228~ 硼磷矽玻璃層；
- 230~ 矽酸四乙酯氧化層；
- 232~ 字元線接觸；
- 234、236~ 位元線接觸。



六、申請專利範圍

1. 一種多位元垂直記憶單元之製造方法，包括下列步驟：

提供一半導體基底，該半導體基底具有至少一溝槽；
於鄰近該半導體基底表面及該溝槽底部之該半導體基底中各形成一摻雜區以作為位元線；
於每一該等摻雜區上方各形成一位元線絕緣層；
於該溝槽的側壁及該等位元線絕緣層表面順應性形成一富含矽絕緣層以局部儲存電荷；及
於該富含矽絕緣層上方形成一導電層並填入該溝槽。

2. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中形成該摻雜區更包括下列步驟：

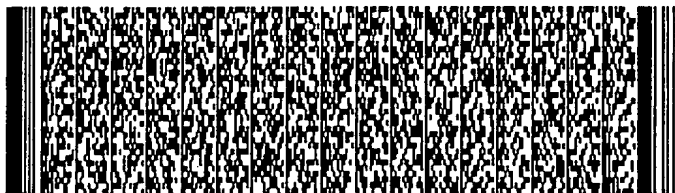
在該溝槽側壁形成一間隙壁；
利用該間隙壁作為一罩幕而對該半導體基底實施一離子植入程序；及
去除該間隙壁。

3. 如申請專利範圍第2項所述之多位元垂直記憶單元之製造方法，其中該間隙壁係由氮化矽所構成。

4. 如申請專利範圍第2項所述之多位元垂直記憶單元之製造方法，其中藉由磷離子執行該離子植入程序。

5. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中藉由熱氧化法形成該等位元線絕緣層。

6. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中該等位元線絕緣層的厚度為300至2000 Å。



六、申請專利範圍

7. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中該富含矽絕緣層為富含矽氧化層。

8. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中該氧化層之厚度為50至110 Å。

9. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中該氧化層與該溝槽間更包括一閘極介電層。

10. 如申請專利範圍第9項所述之多位元垂直記憶單元之製造方法，其中該閘極介電層為閘極氧化層。

11. 如申請專利範圍第9項所述之多位元垂直記憶單元之製造方法，其中該閘極介電層之厚度大體為50 Å。

12. 如申請專利範圍第1項所述之多位元垂直記憶單元之製造方法，其中該導電層係一多晶矽層。

13. 一種多位元垂直記憶單元，包括：

一半導體基底，該半導體基底具有至少一溝槽；

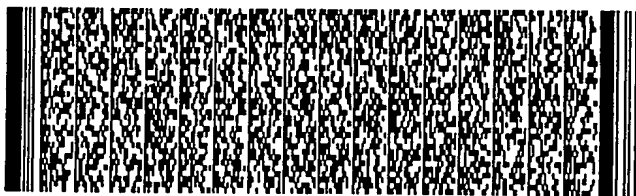
複數位元線，分別形成於鄰近該半導體基底表面之該半導體基底及該溝槽底部中；

複數位元線絕緣層，設置於每一該等位元線上方；

一富含矽氧化層，用以局部儲存電荷，順應性地設置於該溝槽側壁及該等位元線絕緣層表面；及

一字元線，設置於該富含矽氧化層上方並填入該溝槽。

14. 如申請專利範圍第13項所述之多位元垂直記憶單元，其中該等位元線為磷離子植入區。



六、申請專利範圍

15. 如申請專利範圍第13項所述之多位元垂直記憶單元，其中該等位元線絕緣層的厚度為300至2000 Å。

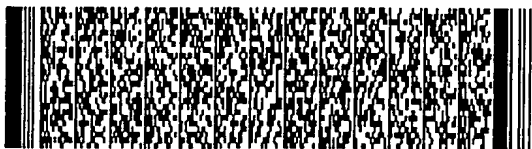
16. 如申請專利範圍第13項所述之多位元垂直記憶單元，其中該等位元線絕緣層為氧化層。

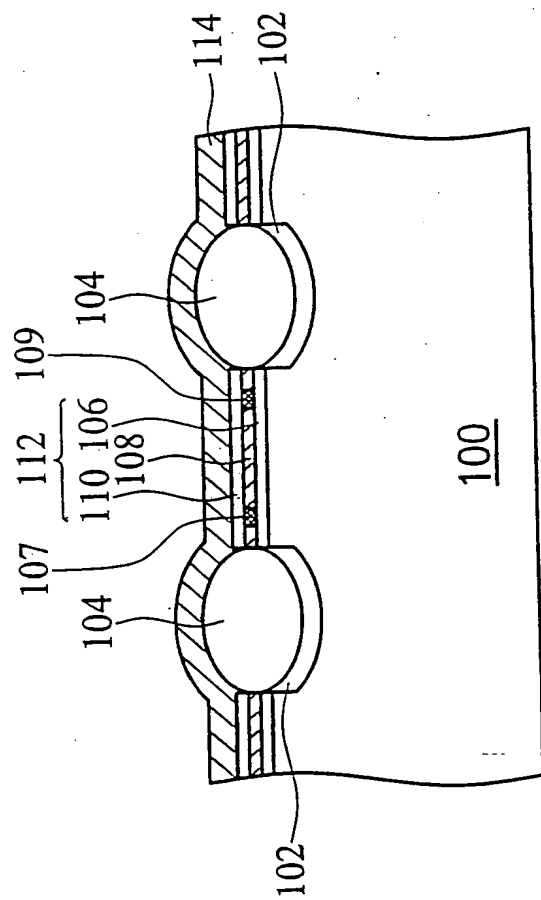
17. 如申請專利範圍第13項所述之多位元垂直記憶單元，其中該富含矽氧化層之厚度為50至110 Å。

18. 如申請專利範圍第13項所述之多位元垂直記憶單元，其中該富含矽氧化層與該溝槽間更包括一閘極介電層。

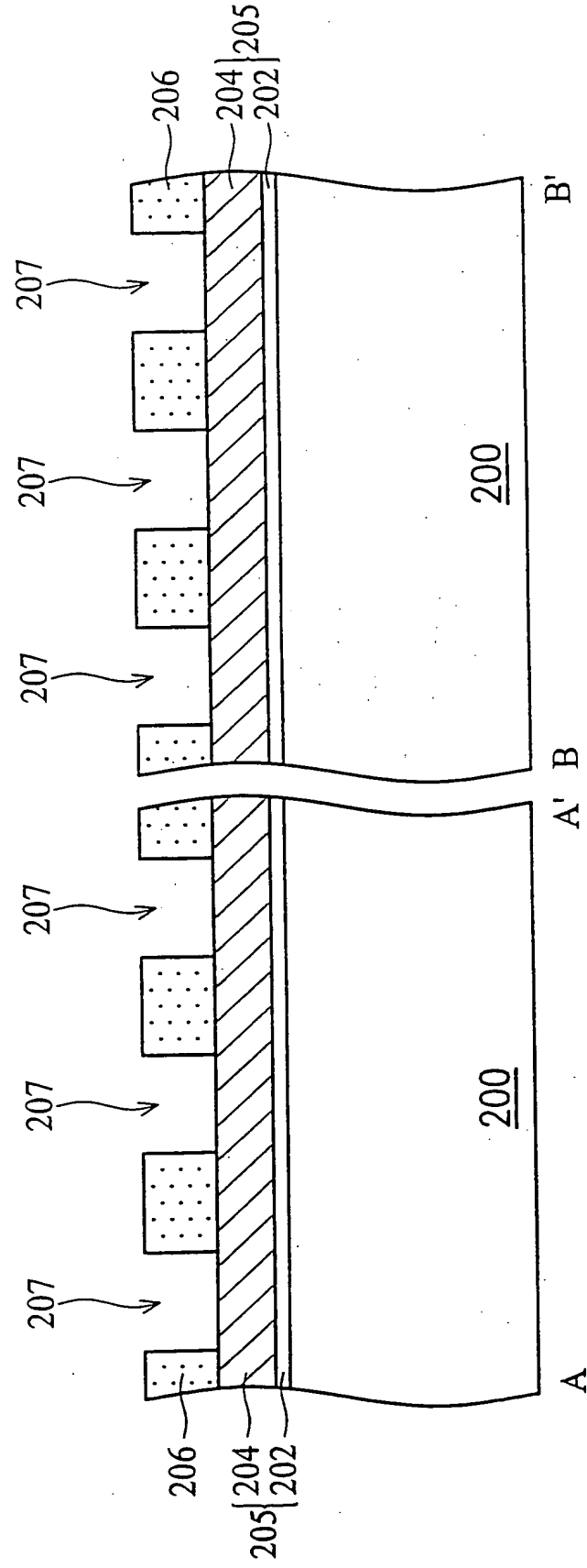
19. 如申請專利範圍第18項所述之多位元垂直記憶單元，其中該閘極介電層之厚度大體為50 Å。

20. 如申請專利範圍第13項所述之多位元垂直記憶單元，其中該字元線為多晶矽層。



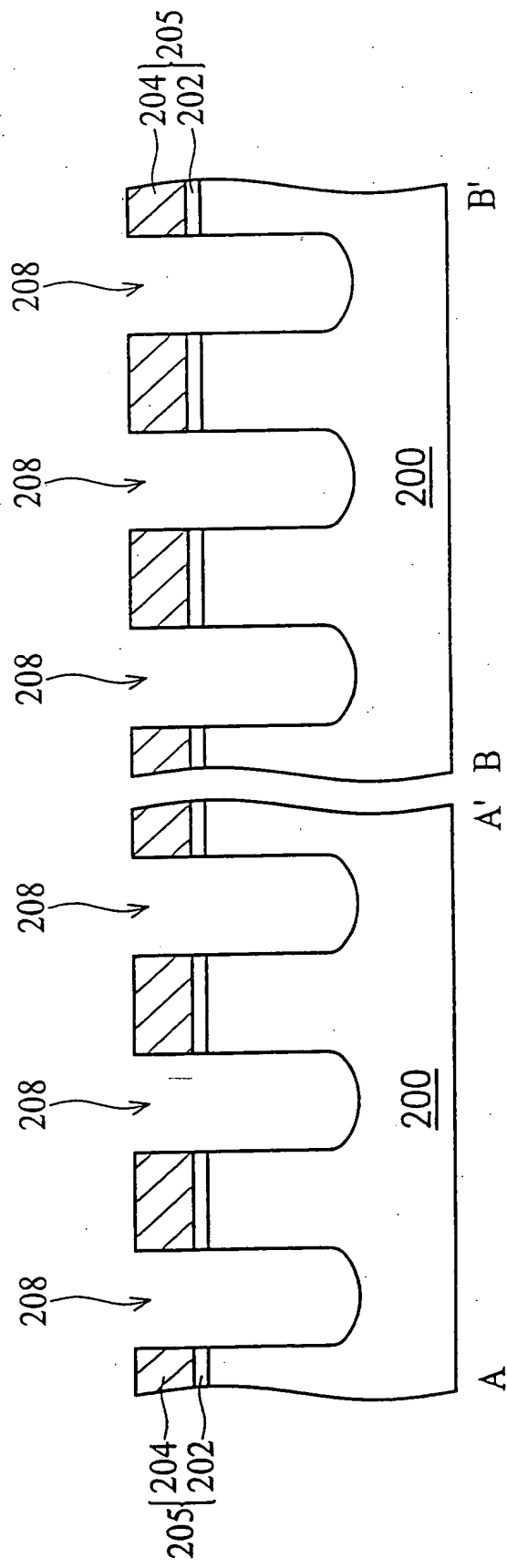


第 1 圖



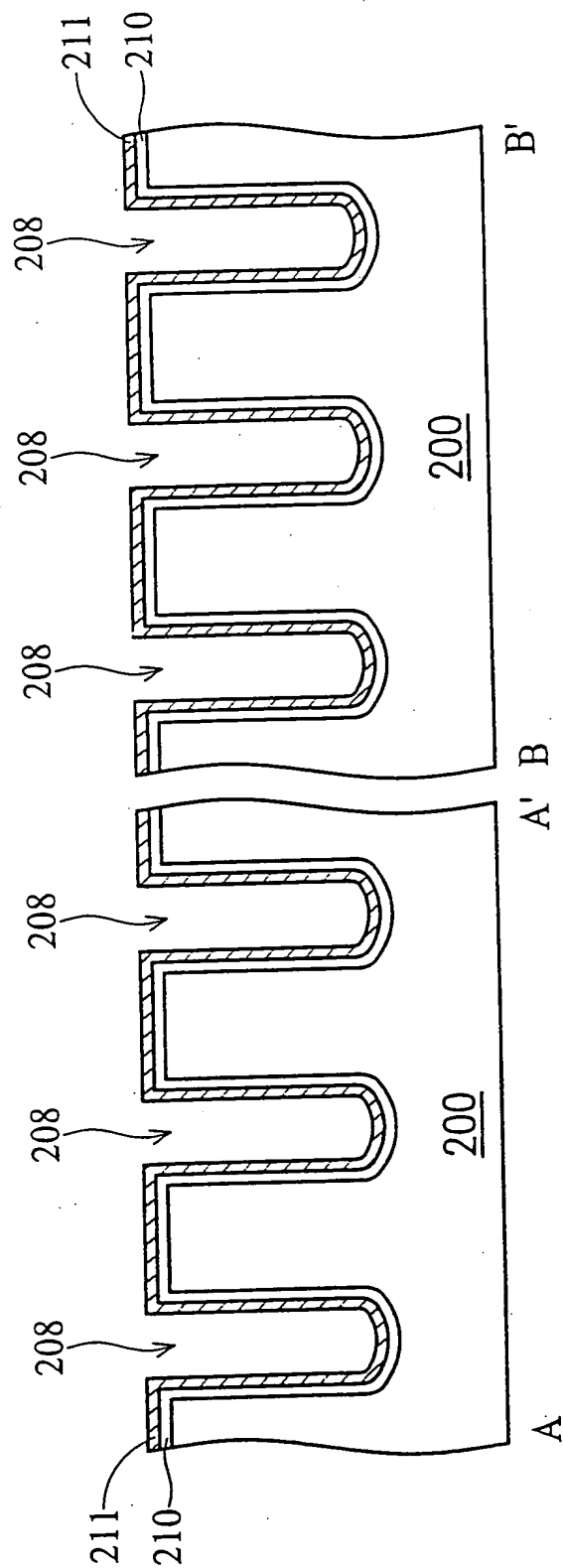
第2a(a)圖

第2a(b)圖



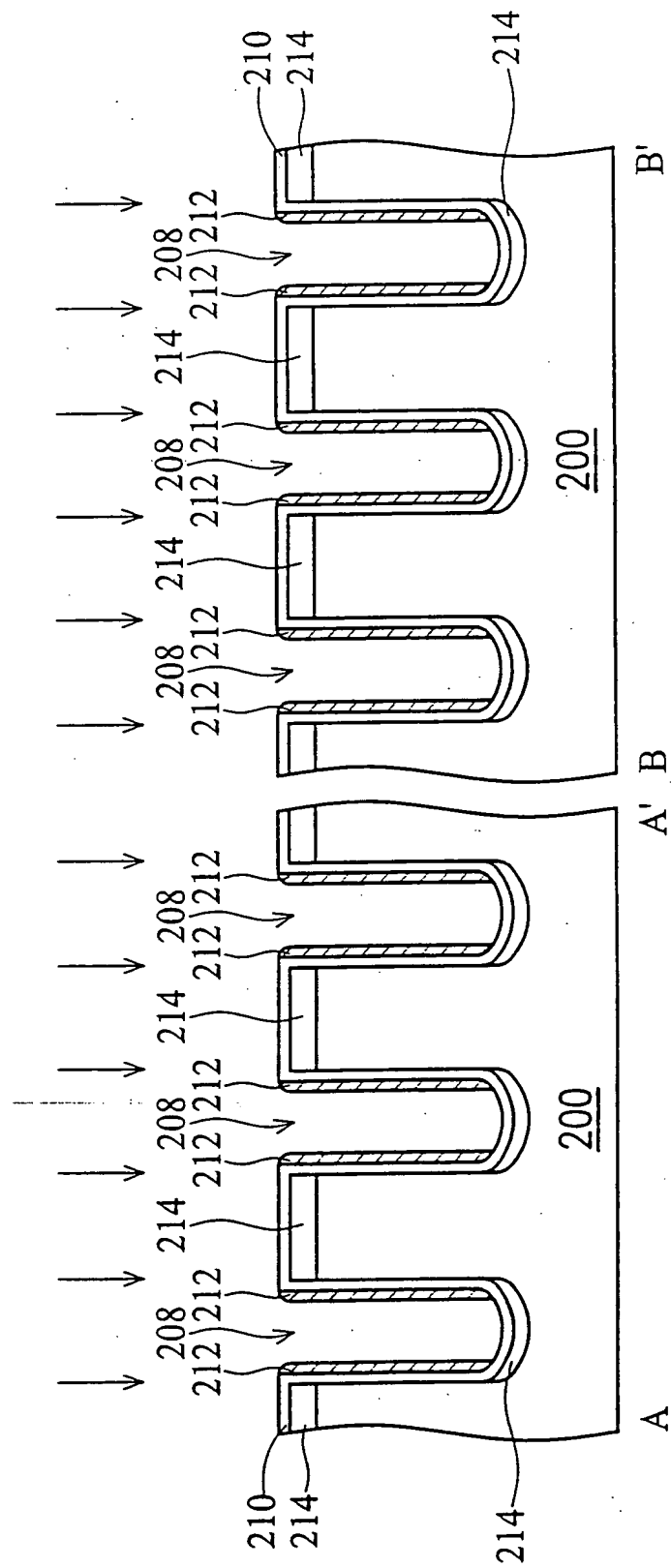
第2b(b)圖

第2b(a)圖



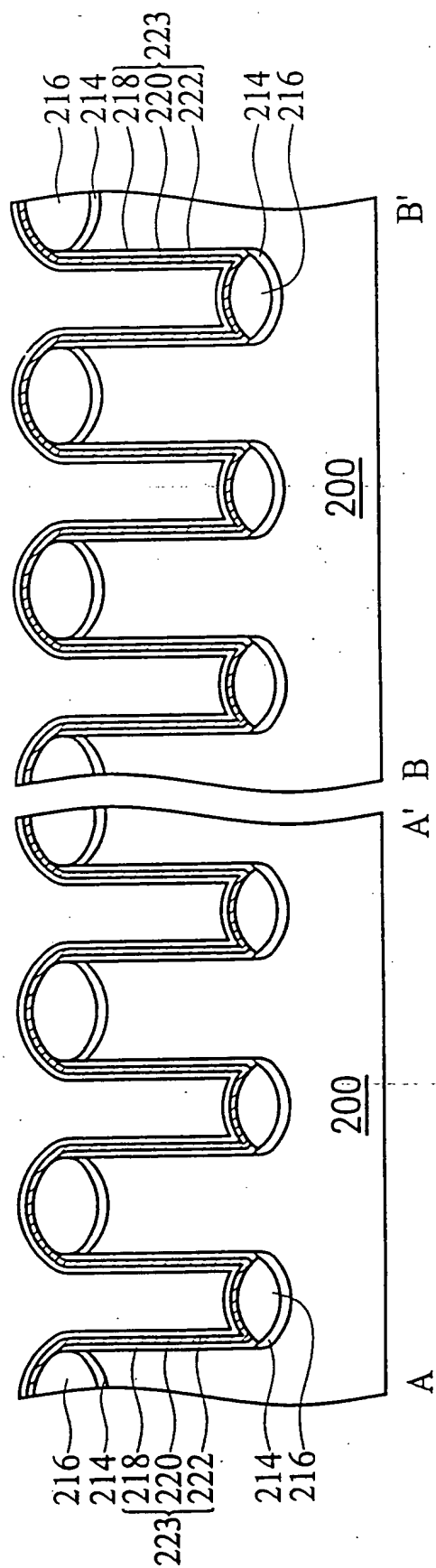
第2c(b)圖

第2c(a)圖



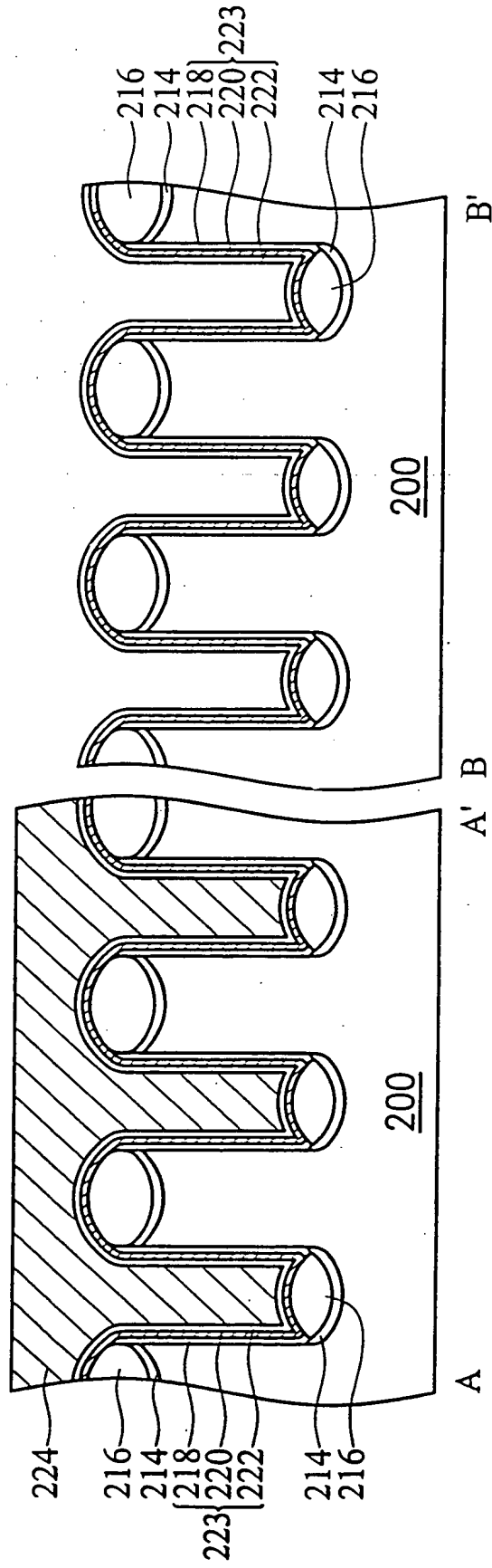
第2d(a)圖

第2d(b)圖

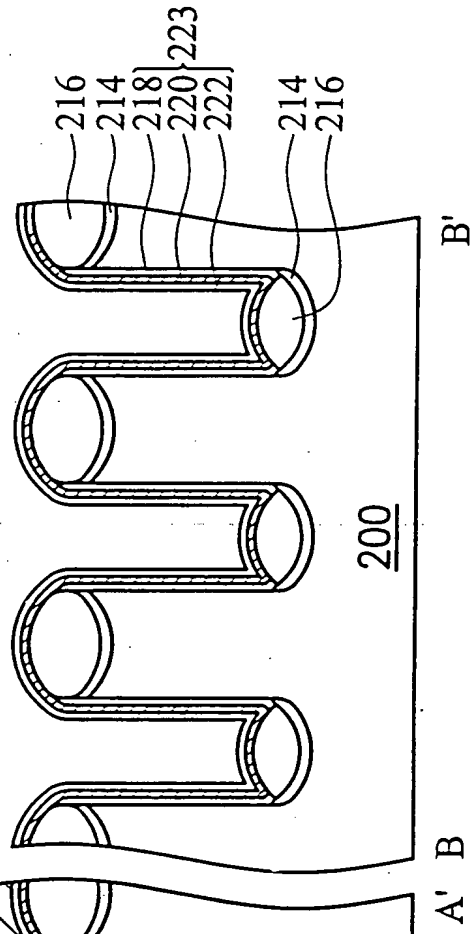


第2e(b)圖

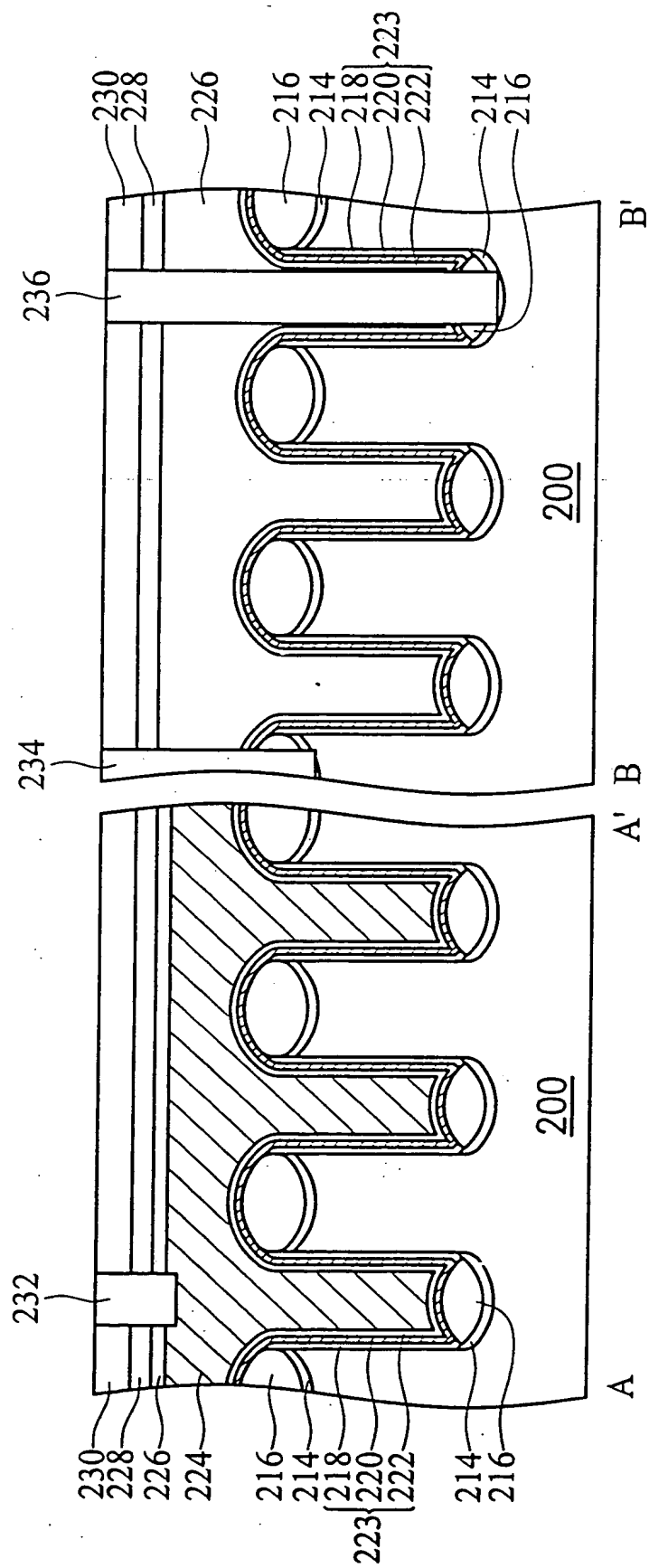
第2e(a)圖



第2f(a)圖

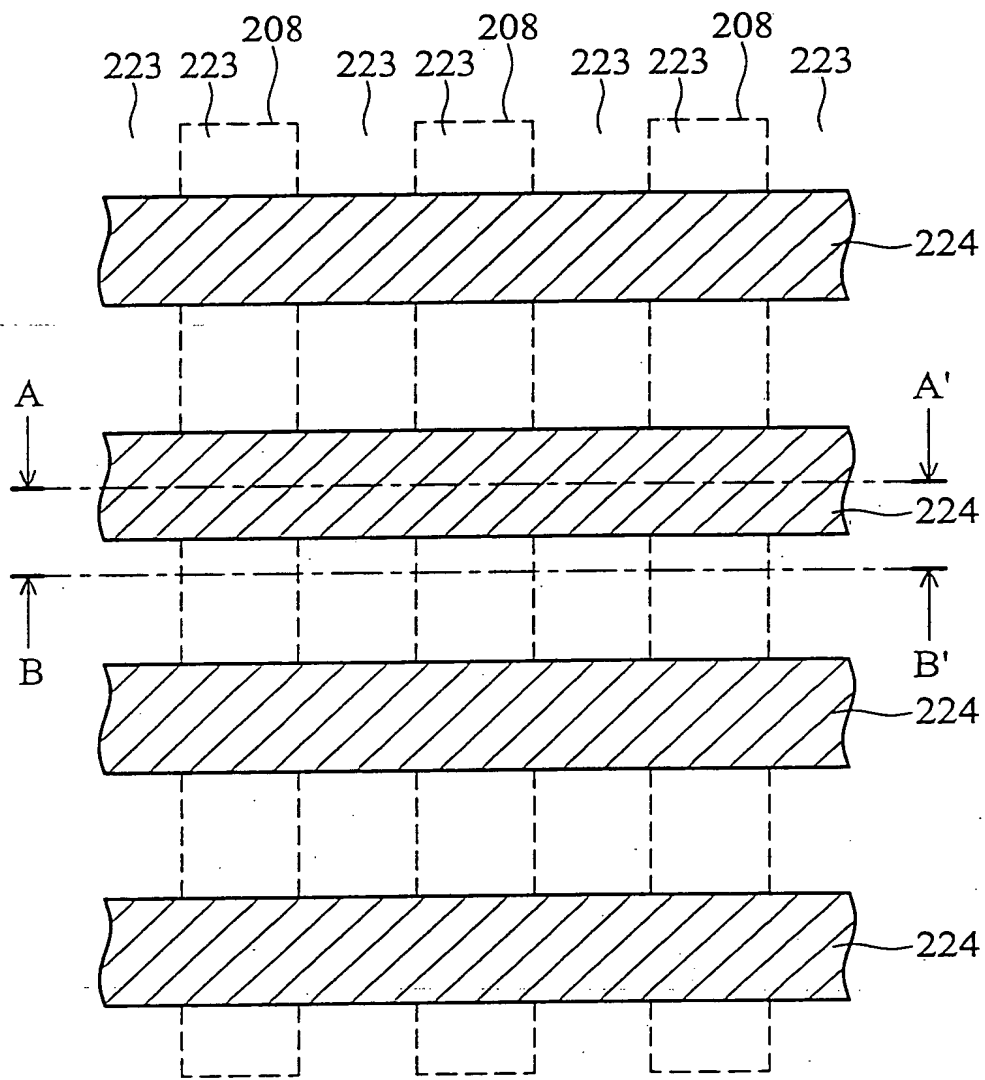


第2f(b)圖

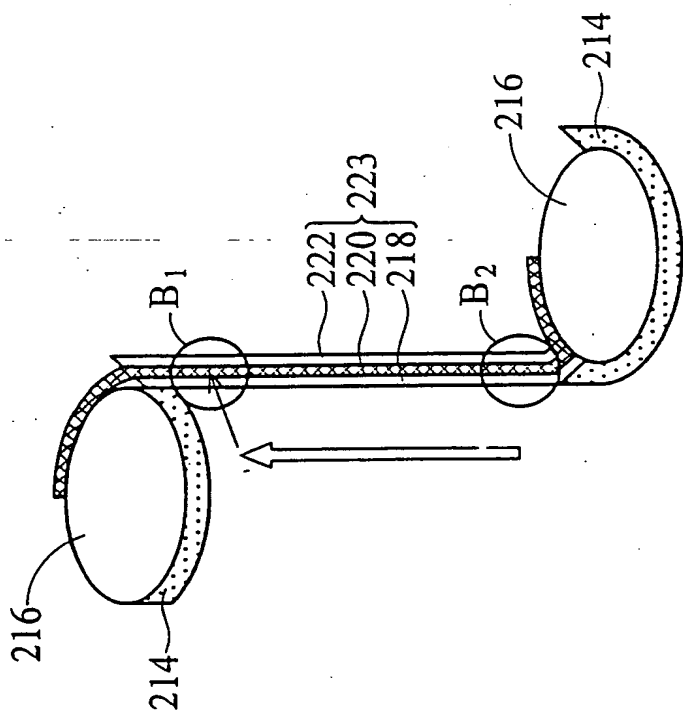


第2g(a)圖

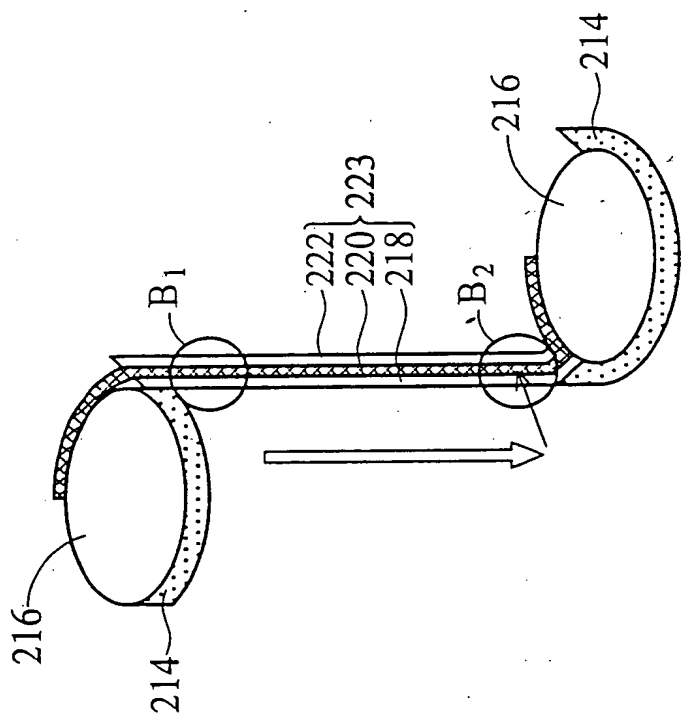
第2g(b)圖



第 3 圖

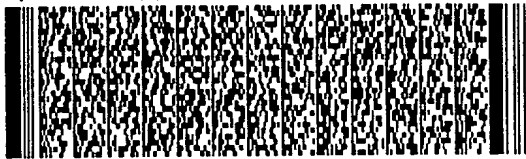


第4a圖

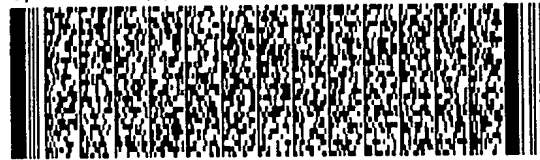


第4b圖

第 1/19 頁



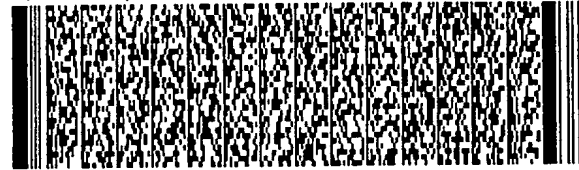
第 1/19 頁



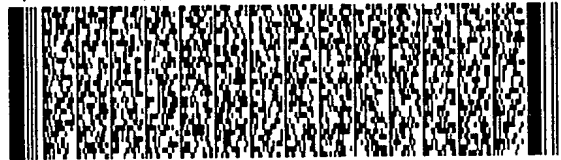
第 2/19 頁



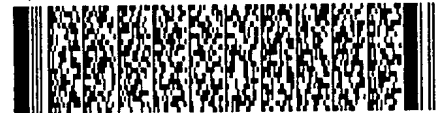
第 2/19 頁



第 3/19 頁



第 4/19 頁



第 5/19 頁



第 6/19 頁



第 6/19 頁



第 7/19 頁



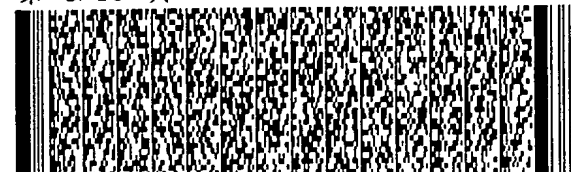
第 7/19 頁



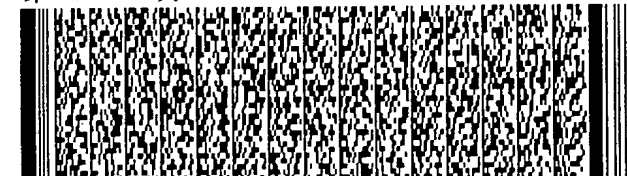
第 8/19 頁



第 8/19 頁



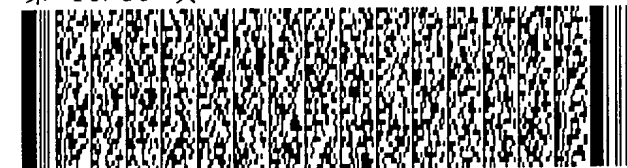
第 9/19 頁



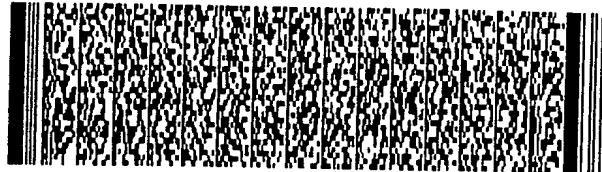
第 9/19 頁



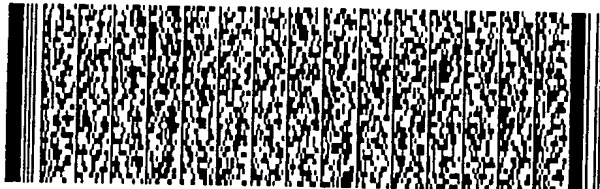
第 10/19 頁



第 10/19 頁



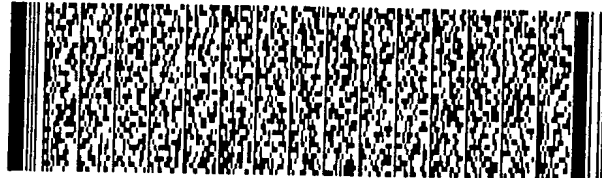
第 11/19 頁



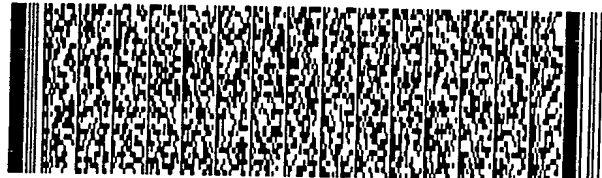
第 11/19 頁



第 12/19 頁



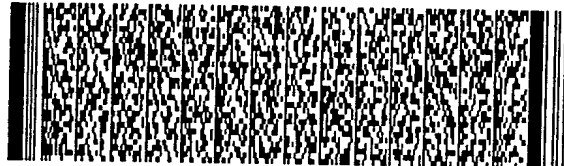
第 12/19 頁



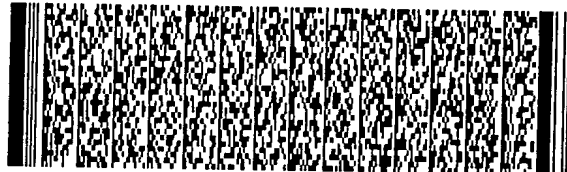
第 13/19 頁



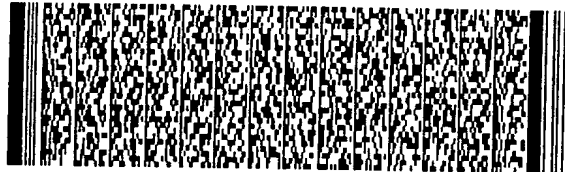
第 13/19 頁



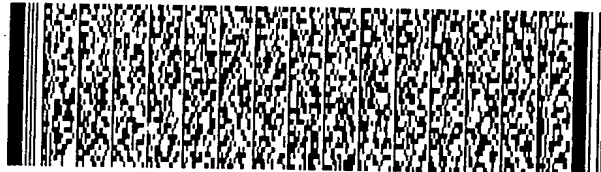
第 14/19 頁



第 14/19 頁



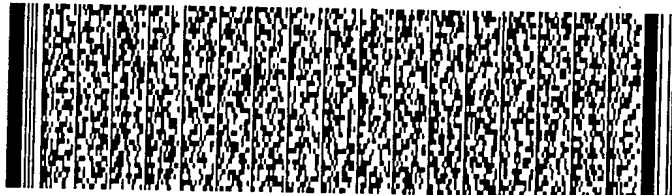
第 15/19 頁



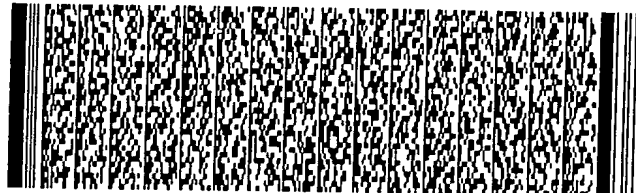
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

